

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-019657

(43)Date of publication of application : 24.02.1981

(51)Int.Cl. H01L 27/06
H01L 29/72
H01L 29/78

(21)Application number : 54-095877 (71)Applicant : MITSUBISHI ELECTRIC CORP

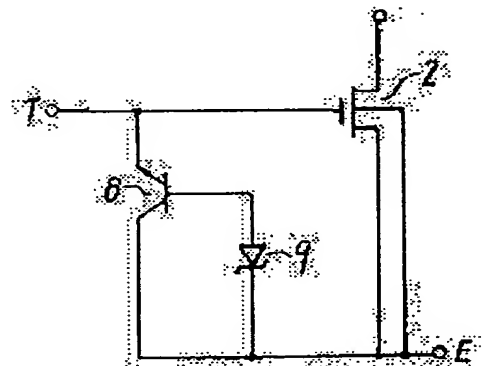
(22)Date of filing : 26.07.1979 (72)Inventor : KOMATSU TAKEO
AKIYAMA TOSHIHIKO

(54) SEMICONDUCTOR IC

(57)Abstract:

PURPOSE: To protect an FET gate from an instantaneous high voltage caused by a static electricity charged on a human body by a method wherein an NPN-type transistor and a Zener diode are provided between an input terminal of an MISFET, with which the IC is constituted, and an earth terminal.

CONSTITUTION: The input terminal T is connected to a gate of the MISFET to be protected and the earth terminal E is connected to the source or drain of the element 2 and the substrate of the element 2. Then, in order to protect the element 2 gate, an emitter of a transistor 8 is connected to the input terminal T and a collector is connected to the earth terminal E respectively using an NPN-type transistor 8 and a Zener diode 9. In addition, the Zener diode 9 is connected between the base of the transistor 8 and the earth terminal E. As a result, when an overvoltage is applied on the input terminal, the transistor 8 bypasses it instantly and no damage is given to the element 2 gate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—19657

⑪ Int. Cl.³
H 01 L 27/06
29/72
29/78

識別記号

庁内整理番号
6426—5F
7514—5F
6603—5F

⑬ 公開 昭和56年(1981)2月24日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体集積回路

⑮ 特 願 昭54—95877

⑯ 出 願 昭54(1979)7月26日

⑰ 発 明 者 小松武生
伊丹市瑞原4丁目1番地三菱電
機株式会社北伊丹製作所内

⑱ 発 明 者 秋山俊彦

尼崎市南清水字中野80番地三菱
電機株式会社伊丹製作所内

⑲ 出 願 人 三菱電機株式会社
東京都千代田区丸の内2丁目2
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体集積回路

2. 特許請求の範囲

(1) 入力信号が印加される入力端子にゲートが、基準電位点にソースがそれぞれ接続された被保護絶縁ゲート形電界効果トランジスタ素子、前記入力端子にエミッタが、基準電位点にコレクタがそれぞれ接続されたバイポーラ形半導体素子、このバイポーラ形半導体素子のベースと上記基準電位点との間に接続された定電圧素子を備えた半導体集積回路。

(2) 定電圧素子はゼナーダイオードであることを特徴とする特許請求の範囲第1項に記載の半導体集積回路。

3. 発明の詳細な説明

この発明は半導体集積回路、特に絶縁ゲート形電界効果トランジスタ (以下 MISFET と称する) を主要駆動素子とし、この MISFET のゲート破壊を防止できる回路の改良に関する。

一般に、MISFET はその構造上、例えばアルミニウムからなるゲートと基準とを一对の電極とし、かつその間に絶縁物を有する平行コンデンサとみなせるので、ゲートへ印加し得る電圧の大きさは自ずから限度がある。このため、ゲートへサージ等による異常電圧が印加された場合、ゲート破壊を起こすことがあるので、MISFET のゲート保護回路が必要となっていた。

第1図は、従来の MISFET のゲート保護回路を示す回路図である。図中、(1) はゲート破壊防止のために接続されたダイオード、(2) は MISFET であり、MISFET (2) のゲート (4) 及びダイオード (1) の両極が入力端子 (3) に接続されている。また、MISFET (2) のソース・基板及びダイオード (1) の両極は接地端子 (5) に接続されている。このように、入力端子 (3) と接地端子 (5) との間にダイオード (1) を介挿することにより電流バイパス路を設け、MISFET (2) のゲートに過電圧が印加されるのを阻止し、ゲート破壊を防止する。

しかして、従来回路において、ダイオード (1) が

(1)

(2)

MISFET(2)のゲート破壊防止に有効に作用するためには、ダイオード(1)のブレークダウン電圧 V_B をMISFET(2)のゲート破壊耐圧 V_M より低くする必要がある。しかし、この条件を満たさせることは、以下に述べるように実装問題として非常に困難である。

すなわち、ダイオード(1)とMISFET(2)を同一基板内に形成したとき、ダイオード(1)のブレークダウン電圧 V_B は基板の不純物濃度の関数となつてゐるが、基板の濃度はMISFETの諸特性に直接作用するため、使用できる基板の濃度範囲に自ずと限度がある。従つて、基板の濃度の関係から、ダイオード(1)のブレークダウン電圧 V_B を80V以下にすることは非常に困難であつた。一方、MISFET(2)のゲート破壊耐圧 V_M は、ゲート絶縁膜の厚み及び絶縁膜中のピンホールの有無により多少異なるが、ゲート絶縁膜の膜厚が1000Å程度のとき約50V程度になることがあり、ダイオード(1)による保護作用がなくなることがあつた。

ところで、MISFETのゲート破壊は人体等に帯電

(3)

切替つた瞬間には非常に高電圧であるが、電荷を放電するに従つて急速に減衰するものである。従つて、MISFETのゲート破壊を防止するためには、直線的な高電圧に対してゲートを保護するよりも瞬時的な高電圧に対し速応性がよく、所定の電荷を放電し、MISFETのゲートにゲート破壊耐圧 V_M 以上の高電圧が印加されないようにすることが重要となる。

この発明は上記の点に鑑みてなされたものであり、その目的とするところは、人体に帯電した静電気等による瞬時的な高電圧の印加からMISFETのゲートを保護し、ゲート破壊耐圧が50V程度以下つても確実にゲートを保護し得る構成の簡単な破壊防止回路を有する半導体集積回路を提供することである。

以下、図面を用いてこの発明を詳述する。第8図はこの発明の一実施例を示す回路図である。

図中、(4)はNPN形トランジスタであり、エミッタが入力端子(7)に、コレクタが接地端子(6)に接続されている。(5)はゼナードダイオードであり、

(5)

した静電気によることが多い。この静電気によるMISFETのゲート破壊の状況を第2図の回路図を用いて説明する。図中、(3)は高電圧発生装置、(4)は人体の静電容量であり、通常100~200pFである。(5)は人体の内部抵抗及び接触抵抗であり、通常500Ω程度である。(6)はMISFET、(7)はリレーである。この回路では、高電圧発生装置(3)と容量(4)とがリレー(7)を介して閉回路を構成し、容量(4)・MISFET(6)及び抵抗(5)がリレー(7)を介して閉回路を構成している。

次に第2図に示した回路の動作について説明する。先ず、リレー(7)を高電圧発生装置(3)側に接触させ閉回路にすると、高電圧が容量(4)に蓄積される。次に、リレー(7)をMISFET(6)側に接触させ閉回路とする。すなわち、人間がMISFET(6)の入力端子に触れたことになる。このとき、容量(4)に蓄えられた電荷が抵抗(5)を通してMISFET(6)に印加されることになり、MISFET(6)のゲート破壊の原因となつた。

このMISFET(6)に印加される電圧は、リレー(7)が

(4)

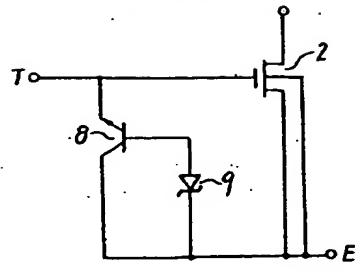
トランジスタ(4)のベースと接地端子(6)間に接続されている。

次に第8図の実施例回路の動作について説明する。入力端子(7)に第2図の等価回路で示される高電圧発生回路より負極性の高電圧が印加されると、その電圧によりゼナードダイオード(5)が瞬時的に導通し、トランジスタ(4)にベース電流を流すのでトランジスタ(4)は導通し、入力端子(7)に印加された負電荷を接地端子(6)に放電する。その後、直ちに入力端子の電圧は減衰するので、ゼナードダイオード(5)は阻止能力を回復し、トランジスタ(4)のベース電流を供給しなくなり、従つてトランジスタ(4)は非導通となる。

ところで、上述したように、人体の静電容量は100~200pFと小さく、これに蓄わえられている電荷量も小さいため、NPN形トランジスタ(4)の導通期間が短かくとも瞬時的な高電圧をバイパスし、MISFETのゲートを破壊から保護することができる。特に、上述の動作が、第1図に示した従来回路のダイオード(1)のブレークダウン電圧 V_B

(4)

第 3 図



第 4 図

